

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-344201
 (43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H01P 1/18
 H03H 11/18

(21)Application number : 2001-143654

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.05.2001

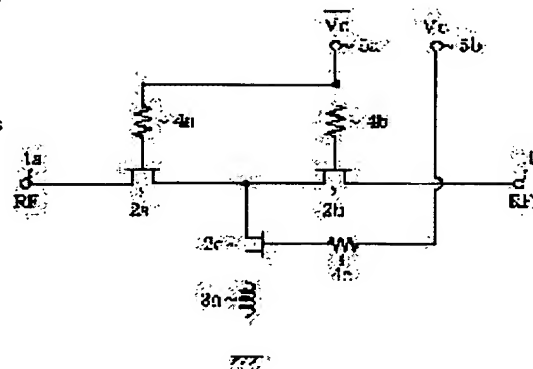
(72)Inventor : HIEDA MORISHIGE
 MIYAGUCHI KENICHI
 KASAHARA MICHIAKI
 TAKAGI SUNAO
 IKEMATSU HIROSHI
 TAKEUCHI NORIO
 NAKAAZE HIROAKI
 INAMI KAZUYOSHI

(54) PHASE SHIFTER AND MULTI-BIT PHASE SHIFTER

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of losses increasing, when the gate width of a 'pinched-off' FET 2a is narrowed, because the gate width must be narrowed so as to reduce the influence of the off-capacity of the FET 2a.

SOLUTION: A phase shifter is provided with the FET 2a the drain electrode of which is connected to an input-output terminal 1a, another FET 2b, the drain electrode of which is connected to the source electrode of the FET 2a and the source electrode of which is connected to another input-output terminal 1b, an FET 2c the drain electrode of which is connected to the source electrode of the FET 2a, and an inductor 3a, the one end of which is connected to the source electrode of the FET 2c and the other end of which is grounded.



LEGAL STATUS

[Date of request for examination] 24.02.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3469563
 [Date of registration] 05.09.2003
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-344201

(P2002-344201A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード* (参考)

H 0 1 P 1/18

H 0 1 P 1/18

5 J 0 1 2

H 0 3 H 11/18

H 0 3 H 11/18

Z 5 J 0 9 8

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号 特願2001-143654(P2001-143654)

(22) 出願日 平成13年5月14日 (2001. 5. 14)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 桧枝 護重

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 宮口 實一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

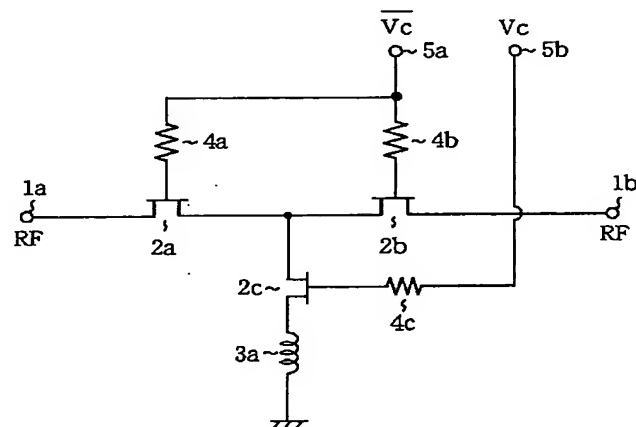
最終頁に続く

(54) 【発明の名称】 移相器及び多ビット移相器

(57) 【要約】

【課題】 ピンチオフにしたFET 2 aのOFF容量の影響を小さくするには、FET 2 aのゲート幅を小さくする必要があるため損失が増加する課題があった。

【解決手段】 ドレイン電極が入出力端子1 aと接続されたFET 2 aと、ドレイン電極がFET 2 aのソース電極と接続され、ソース電極が入出力端子1 bと接続されたFET 2 bと、ドレイン電極がFET 2 aのソース電極と接続されたFET 2 cと、一端がFET 2 cのソース電極と接続され、他端がグランドと接続されたインダクタ3 aとを設けたものである。



【特許請求の範囲】

【請求項 1】 一方のチャンネル形成電極が第 1 の入出力端子と接続された第 1 の電界効果トランジスタと、一方のチャンネル形成電極が上記第 1 の電界効果トランジスタの他方のチャンネル形成電極と接続され、他方のチャンネル形成電極が第 2 の入出力端子と接続された第 2 の電界効果トランジスタと、一方のチャンネル形成電極が上記第 1 の電界効果トランジスタの他方のチャンネル形成電極と接続された第 3 の電界効果トランジスタと、一端が上記第 3 の電界効果トランジスタの他方のチャンネル形成電極と接続され、他端がグランドと接続されたインダクタとを備えた移相器。

【請求項 2】 一方のチャンネル形成電極が第 1 の入出力端子と接続された第 1 の電界効果トランジスタと、一方のチャンネル形成電極が上記第 1 の電界効果トランジスタの他方のチャンネル形成電極と接続され、他方のチャンネル形成電極が第 2 の入出力端子と接続された第 2 の電界効果トランジスタと、一端が上記第 1 の電界効果トランジスタの他方のチャンネル形成電極と接続されたインダクタと、一方のチャンネル形成電極が上記インダクタの他端と接続され、他方のチャンネル形成電極がグランドと接続された第 3 の電界効果トランジスタとを備えた移相器。

【請求項 3】 第 3 の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にインダクタを接続したことを特徴とする請求項 1 または請求項 2 記載の移相器。

【請求項 4】 第 1 及び第 2 の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にキャパシタを接続したことを特徴とする請求項 1 または請求項 2 記載の移相器。

【請求項 5】 第 3 の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にキャパシタを接続したことを特徴とする請求項 1 から請求項 4 のうちのいずれか 1 項記載の移相器。

【請求項 6】 移相量が 90 度になるように回路定数を設定したことを特徴とする請求項 1 から請求項 5 のうちのいずれか 1 項記載の移相器。

【請求項 7】 移相量が 45 度になるように回路定数を設定したことを特徴とする請求項 1 から請求項 5 のうちのいずれか 1 項記載の移相器。

【請求項 8】 請求項 6 記載の移相器と 180 度ビット移相器とを組み合わせ使用することを特徴とする多ビット移相器。

【請求項 9】 請求項 6 記載の移相器と、請求項 7 記載の移相器と、180 度ビット移相器と、22.5 度ビット移相器と、11.25 度ビット移相器とを組み合わせ使用することを特徴とする多ビット移相器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、マイクロ波帯や

ミリ波帯で信号の通過位相を電氣的に変化させる移相器及び多ビット移相器に関するものである。

【0002】

【従来の技術】 図 13 は例えば「2000 IEEE Microwave Theory and Techniqu Symposium Digest」に示された従来の移相器を示す構成図であり、図において、1a, 1b は入出力端子、2a, 2b は FET、3a, 3b, 3c はインダクタ、4a, 4c は抵抗、5a, 5b は制御信号端子、8 はキャパシタである。

【0003】 次に動作について説明する。まず、制御信号端子 5a に対して FET 2a がピンチオフになる負電圧が印加され、制御信号端子 5b に対して FET 2b が通過状態になる 0V 又は正の電圧が印加されている場合を考える。この場合、この移相器の等価回路は図 14 のように示される。ここで、FET 2a の OFF 容量とキャパシタ 8 の容量の和が非常に小さく、FET 2b の ON 抵抗が小さい場合、この回路は π 型の高域通過フィルタとして動作する。

【0004】 次に、制御信号端子 5a に対して FET 2a が通過状態になる 0V 又は正の電圧が印加され、制御信号端子 5b に対して FET 2b がピンチオフになる負電圧が印加されている場合を考える。この場合、この移相器の等価回路は図 15 のように示される。ここで、FET 2a の ON 抵抗が小さく、FET 2b の OFF 容量とインダクタ 3c が所望周波数にて並列共振する場合、インダクタ 3a, 3b の影響が小さくなり、スルーと等価の状態になる。

【0005】 なお、高域通過フィルタは位相が進み、スルーでは通過位相の変化がほとんど無いため、制御信号を切り替えることにより、入出力端子 1a から入出力端子 1b への通過位相を電氣的に切り替えることができる。

【0006】

【発明が解決しようとする課題】 従来の移相器は以上のように構成されているので、ピンチオフにした FET 2a の OFF 容量の影響を小さくするには、FET 2a のゲート幅を小さくする必要があるため損失が増加する課題があった。

【0007】 この発明は上記のような課題を解決するためになされたもので、小型で低損失な移相器及び多ビット移相器を得ることを目的とする。

【0008】

【課題を解決するための手段】 この発明に係る移相器は、一方のチャンネル形成電極が第 1 の入出力端子と接続された第 1 の電界効果トランジスタと、一方のチャンネル形成電極が第 1 の電界効果トランジスタの他方のチャンネル形成電極と接続され、他方のチャンネル形成電極が第 2 の入出力端子と接続された第 2 の電界効果トランジスタと、一方のチャンネル形成電極が第 1 の電界効果トランジ

スタの他方のチャンネル形成電極と接続された第3の電界効果トランジスタと、一端が第3の電界効果トランジスタの他方のチャンネル形成電極と接続され、他端がグランドと接続されたインダクタとを設けたものである。

【0009】この発明に係る移相器は、一方のチャンネル形成電極が第1の入出力端子と接続された第1の電界効果トランジスタと、一方のチャンネル形成電極が第1の電界効果トランジスタの他方のチャンネル形成電極と接続され、他方のチャンネル形成電極が第2の入出力端子と接続された第2の電界効果トランジスタと、一端が第1の電界効果トランジスタの他方のチャンネル形成電極と接続されたインダクタと、一方のチャンネル形成電極がインダクタの他端と接続され、他方のチャンネル形成電極がグランドと接続された第3の電界効果トランジスタとを設けたものである。

【0010】この発明に係る移相器は、第3の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にインダクタを接続するようにしたものである。

【0011】この発明に係る移相器は、第1及び第2の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にキャパシタを接続するようにしたものである。

【0012】この発明に係る移相器は、第3の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にキャパシタを接続するようにしたものである。

【0013】この発明に係る移相器は、移相量が90度になるように回路定数を設定したものである。

【0014】この発明に係る移相器は、移相量が45度になるように回路定数を設定したものである。

【0015】この発明に係る多ビット移相器は、請求項6記載の移相器と180度ビット移相器とを組み合わせ使用するようにしたものである。

【0016】この発明に係る多ビット移相器は、請求項6記載の移相器と、請求項7記載の移相器と、180度ビット移相器と、22.5度ビット移相器と、11.25度ビット移相器とを組み合わせ使用するようにしたものである。

【0017】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による移相器を示す構成図であり、図2はこの発明の実施の形態1による移相器を示すレイアウト図である。図において、1aは入出力端子（第1の入出力端子）、1bは入出力端子（第2の入出力端子）、2aは一方のチャンネル形成電極であるドレイン電極が入出力端子1aと接続されたFET（第1の電界効果トランジスタ）、2bは一方のチャンネル形成電極であるドレイン電極がFET 2a

のソース電極と接続され、他方のチャンネル形成電極であるソース電極が入出力端子1bと接続されたFET（第2の電界効果トランジスタ）である。

【0018】2cは一方のチャンネル形成電極であるドレイン電極がFET 2aのソース電極と接続されたFET（第3の電界効果トランジスタ）、3aは一端がFET 2cのソース電極と接続され、他端がグランドと接続されたインダクタ、4a、4b、4cは抵抗、5a、5bは制御信号端子、6は半導体基板、7はスルーホールである。なお、図3及び図4はこの発明の実施の形態1による移相器の動作を示す等価回路図である。

【0019】次に動作について説明する。まず、制御信号端子5aに対してFET 2a、2bがピンチオフになる電圧より低いバイアスが印可され、制御信号端子5bに対してFET 2cがピンチオフになる電圧より大きいバイアスが印可されている場合、即ち、FET 2a、2bがOFF状態、FET 2cがON状態の場合、FET 2a、2bのドレイン-ソース間がキャパシタと等価に振る舞い、FET 2cのドレイン-ソース間をショートと等価にみなすことができる。

【0020】図3はこの状態の等価回路を示している。この状態では、移相器はキャパシタと等価のFET 2a、2bとインダクタ3aから構成されたT型のHPFとして動作し、入出力端子1a、1b間を通過する高周波信号の位相は進みの状態になる。

【0021】次に、FET 2a、2bがピンチオフ以上のゲートバイアスが印可され、FET 2cがピンチオフ以下のゲートバイアスが印可されている場合、即ち、FET 2a、2bがON状態、FET 2cがOFF状態の場合、FET 2a、2bのドレイン-ソース間をショートと等価にみなすことができ、FET 2cのドレイン-ソース間はキャパシタと等価に振る舞う。

【0022】図4はこの状態の等価回路を示している。この状態では、移相器はキャパシタと等価のFET 2cとインダクタ3aから構成された回路として動作する。ここで、FET 2cのゲート幅を小さくし、OFF時の容量を非常に小さくすることにより、FET 2cとインダクタ3aの影響を小さくし、接続されていないのと同様に扱うことができる。この場合、入出力端子1a、1b間はスルーとほぼ同等になる。上記のように、FET 2a、2b、2cをON/OFFすることにより、通過位相を変化させることができる移相器として動作する。

【0023】ここで、従来では π 型高域通過フィルタを用いており、この実施の形態1ではT型高域通過フィルタを用いている。図5は両者の比較を示している。使用するインダクタのインダクタンスはT型の方が小さく、さらに個数も少ない。高域通過フィルタを構成する際のキャパシタンス（FET 2a、2bのサイズに比例）はT型の方が大きい。これにより、FET 2a、2bのON抵抗が小さくなり、損失を低減できる。また、スルー

とほぼ同等になる際の反射について、インダクタを介して接地するFETの影響により、 π 型の方が反射が多く、整合が十分に取れない。このように、従来の移相器よりも、優れた特性を得ることが可能になる。

【0024】この実施の形態1では、半導体基板6上に回路を構成したモノリシック構造について記しているが、誘電体基板上にディスクリート部品を用いて回路を構成して、FETを接続しても同等の効果が得られる。なお、この実施の形態1では、FET2aのドレイン電極を入出力端子1aと接続するものについて示したが、FET2aのソース電極を入出力端子1aと接続してもよい。同様に、FET2bのソース電極を入出力端子1bと接続するものについて示したが、FET2aのドレイン電極を入出力端子1bと接続してもよい。さらに、FET2cのソース電極をグランドと接続するものについて示したが、FET2aのドレイン電極をグランドと接続してもよい。

【0025】実施の形態2。上記実施の形態1では、FET2cをインダクタ3aを介して接地するものについて示したが、図6に示すように、インダクタ3aをFET2cを介して接地してもよく、上記実施の形態1と同等の効果をj得ることがjできる。

【0026】実施の形態3。上記実施の形態1では、一方を接地したインダクタ3aをFET2cによりON/OFFさせたものについて示したが、図7に示すように、FET2cと並列にインダクタ3bを追加し、並列共振回路を構成して一方を接地したインダクタ3aをON/OFFさせても同等の効果をj得ることがjできる。

【0027】次に動作について説明する。FET2a、2bがピンチオフ以上のゲートバイアスが印可され、FET2cがピンチオフ以下のゲートバイアスが印可されている場合、即ち、FET2a、2bがON状態、FET2cがOFF状態の場合、FET2a、2bのドレインーソース間をショートと等価にみなすことができ、FET2cのドレインーソース間がキャパシタと等価に振る舞う。

【0028】ここで、FET2cとインダクタ3bを所望の周波数で並列共振させることにより、インダクタ3aの影響を小さくし、接続されていないのと同様に扱うことができる。この場合、入出力端子1a、1b間はスルーと同等になる。上記のように、FET2a、2b、2cをON/OFFすることにより、通過位相を変化させることができる移相器として動作する。

【0029】実施の形態4。図7におけるFET2c及びインダクタ3bと、インダクタ3aとの接続関係を反転しても同等の効果が得られる（図8を参照）。また、FET2c及びインダクタ3aの両側にインダクタ3bを接続しても同等の効果が得られる。

【0030】実施の形態5。上記実施の形態1では、通過位相を変化させるためのハイパスフィルタに用いるキ

ャパシタをFET2a、2bにて実現するものについて示したが、図9に示すように、FET2a、2bと並列にキャパシタ8a、8bを接続しても同等の効果が得られる。

【0031】次に動作について説明する。まず、制御信号端子5aに対してFET2a、2bがピンチオフになる電圧より低いバイアスが印可され、制御信号端子5bに対してFET2cがピンチオフになる電圧より大きいバイアスが印可されている場合、即ち、FET2a、2bがOFF状態、FET2cがON状態の場合、FET2a、2bのドレインーソース間がキャパシタと等価に振る舞い、FET2cのドレインーソース間をショートと等価にみなすことができる。この状態では、移相器はキャパシタと等価のFET2a、2bとキャパシタ8a、8b及びインダクタ3aから構成されたT型のHPFとして動作する。

【0032】上記のように、FET2a、2b、2cをON/OFFすることにより、通過位相を変化させることができる移相器として動作する。また、単位面積あたりの容量がFETよりもキャパシタの方が大きい場合、FETだけを用いてキャパシタを実現した場合に比べて、小型化が可能になる。

【0033】また、FET2aとキャパシタ8aの合計容量及びFET2bとキャパシタ8bの合計容量が一定のままサイズを変化させることにより、FET2a、2bがON時の抵抗値を変化させて移相量が一定のまま通過損失を変化させることが可能になり、位相切り替え時の損失差を小さくすることができる。

【0034】実施の形態6。上記実施の形態5では、入出力端子1a、1bに接続されたFET2a、2bにキャパシタ8a、8bを並列に接続するものについて示したが、図10に示すように、一方を接地したインダクタ3aをON/OFFさせるFET2c及びインダクタ3bと並列にキャパシタ8cを接続しても同等の効果をj得ることがjできる。

【0035】次に動作について説明する。FET2a、2bがピンチオフ以上のゲートバイアスが印可され、FET2cがピンチオフ以下のゲートバイアスが印可されている場合、即ち、FET2a、2bがON状態、FET2cがOFF状態の場合、FET2a、2bのドレインーソース間をショートと等価にみなすことができ、FET2cのドレインーソース間がキャパシタと等価に振る舞う。ここで、FET2cとインダクタ3bとキャパシタ8cを所望の周波数で並列共振させることにより、インダクタ3a、3bの影響を小さくし、接続されていないのと同様に扱うことができる。

【0036】上記のように、FET2a、2b、2cをON/OFFすることにより、通過位相を変化させることができる移相器として動作する。また、単位面積あたりの容量がFETよりもキャパシタの方が大きい場合、

FETだけを用いてキャパシタを実現した場合に比べて、小型化が可能になる。また、FET 2cとキャパシタ 8cの合計容量が一定のままサイズを変化させることにより、移相量が一定のまま通過損失を変化させることができるために、位相切り替え時の損失差を小さくすることが可能になる。

【0037】実施の形態 7. 図 11はこの発明の実施の形態 7による多ビット移相器を示す構成図であり、図において、20a、20bはSPDTスイッチ、21はハイパスフィルタ、22はローパスフィルタ、23は180°ビット移相器、24は90°ビット移相器である。なお、90°ビット移相器24は上記実施の形態 2に示した移相器である。

【0038】次に動作について説明する。入出力端子 1aに入力した高周波信号は、SPDTスイッチ20a、20bにて通過する経路を切り替えられる。まず、ハイパスフィルタ21を通過する場合、通過位相はハイパスフィルタ21により進む。一方、ローパスフィルタ21を通過する場合、通過位相はローパスフィルタ22により遅れる。ここで、ハイパスフィルタ21により進む位相と、ローパスフィルタ22により遅れる位相の差を180°に設定することにより、180°移相器として動作する。

【0039】次に、90°ビット移相器の回路定数を移相量が90°になるように設定することにより、90°移相器24は90°位相を切り替えることができる。上記のように構成することにより、通過位相を90°ステップで切り替える2ビット移相器として動作する。

【0040】実施の形態 8. 図 12はこの発明の実施の形態 8による多ビット移相器を示す構成図であり、図において、図 11と同一符号は同一または相当部分を示すので説明を省略する。25は45°ビット移相器、26は22.5°ビット移相器、27は11.25°ビット移相器である。

【0041】上記のように構成することにより、通過位相を11.25°ステップで切り替える5ビット移相器として動作する。

【0042】

【発明の効果】以上のように、この発明によれば、一方のチャンネル形成電極が第1の入出力端子と接続された第1の電界効果トランジスタと、一方のチャンネル形成電極が第1の電界効果トランジスタの他方のチャンネル形成電極と接続され、他方のチャンネル形成電極が第2の入出力端子と接続された第2の電界効果トランジスタと、一方のチャンネル形成電極が第1の電界効果トランジスタの他方のチャンネル形成電極と接続された第3の電界効果トランジスタと、一端が第3の電界効果トランジスタの他方のチャンネル形成電極と接続され、他端がグランドと接続されたインダクタとを設けるように構成したので、小型で低損失な移相器が得られる効果がある。

【0043】この発明によれば、一方のチャンネル形成電極が第1の入出力端子と接続された第1の電界効果トランジスタと、一方のチャンネル形成電極が第1の電界効果トランジスタの他方のチャンネル形成電極と接続され、他方のチャンネル形成電極が第2の入出力端子と接続された第2の電界効果トランジスタと、一端が第1の電界効果トランジスタの他方のチャンネル形成電極と接続されたインダクタと、一方のチャンネル形成電極がインダクタの他端と接続され、他方のチャンネル形成電極がグランドと接続された第3の電界効果トランジスタとを設けるように構成したので、小型で低損失な移相器が得られる効果がある。

【0044】この発明によれば、第3の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にインダクタを接続するように構成したので、小型で低損失な移相器が得られる効果がある。

【0045】この発明によれば、第1及び第2の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にキャパシタを接続するように構成したので、小型で低損失な移相器が得られる効果がある。

【0046】この発明によれば、第3の電界効果トランジスタにおける一方のチャンネル形成電極と他方のチャンネル形成電極間にキャパシタを接続するように構成したので、小型で低損失な移相器が得られる効果がある。

【0047】この発明によれば、移相量が90度になるように回路定数を設定する構成にしたので、90°ビット移相器が得られる効果がある。

【0048】この発明によれば、移相量が45度になるように回路定数を設定する構成にしたので、45°ビット移相器が得られる効果がある。

【0049】この発明によれば、請求項6記載の移相器と180度ビット移相器とを組み合わせ使用するように構成したので、小型で低損失な多ビット移相器が得られる効果がある。

【0050】この発明によれば、請求項6記載の移相器と、請求項7記載の移相器と、180度ビット移相器と、22.5度ビット移相器と、11.25度ビット移相器とを組み合わせ使用するように構成したので、小型で低損失な多ビット移相器が得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態 1による移相器を示す構成図である。

【図2】 この発明の実施の形態 1による移相器を示すレイアウト図である。

【図3】 この発明の実施の形態 1による移相器の動作を示す等価回路図である。

【図4】 この発明の実施の形態 1による移相器の動作を示す等価回路図である。

【図5】 フィルタ特性を示す説明図である。

【図 6】 この発明の実施の形態 2 による移相器を示す構成図である。

【図 7】 この発明の実施の形態 3 による移相器を示す構成図である。

【図 8】 この発明の実施の形態 4 による移相器を示す構成図である。

【図 9】 この発明の実施の形態 5 による移相器を示す構成図である。

【図 10】 この発明の実施の形態 6 による移相器を示す構成図である。

【図 11】 この発明の実施の形態 7 による多ビット移相器を示す構成図である。

【図 12】 この発明の実施の形態 8 による多ビット移相器を示す構成図である。

【図 13】 従来の移相器を示す構成図である。

【図 14】 従来の移相器の動作を示す等価回路図であ

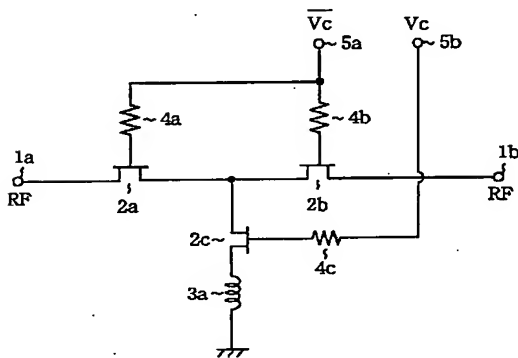
る。

【図 15】 従来の移相器の動作を示す等価回路図である。

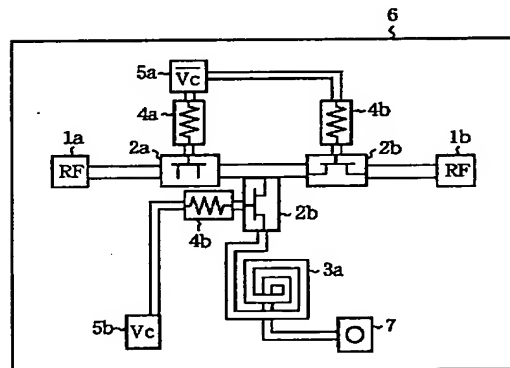
【符号の説明】

1 a 入出力端子（第 1 の入出力端子）、1 b 入出力端子（第 2 の入出力端子）、2 a FET（第 1 の電界効果トランジスタ）、2 b FET（第 2 の電界効果トランジスタ）、2 c FET（第 3 の電界効果トランジスタ）、3 a、3 b インダクタ、4 a、4 b、4 c 抵抗、5 a、5 b 制御信号端子、6 半導体基板、7 スルーホール、8 a、8 b、8 c キャパシタ、20 a、20 b SPDT スイッチ、21 ハイパスフィルタ、22 ローパスフィルタ、23 180° bit 移相器、24 90° bit 移相器、25 45° bit 移相器、26 22.5° bit 移相器、27 11.25° bit 移相器。

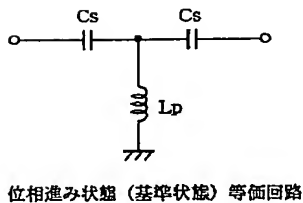
【図 1】



【図 2】

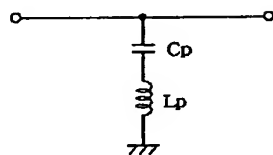


【図 3】



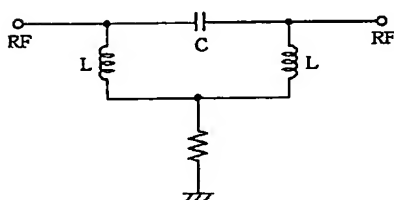
位相進み状態（基準状態）等価回路

【図 4】

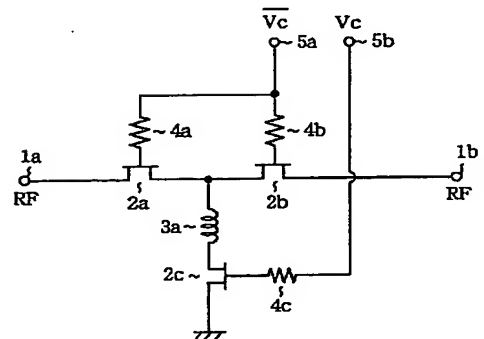


位相遅れ状態（移相状態）等価回路

【図 14】



【図 6】

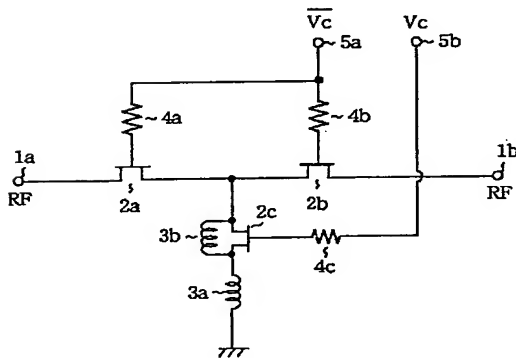


【図5】

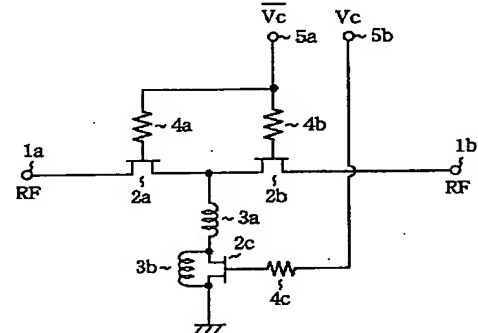
	π 型	比較	T型
インダクタ (L_p)	$L_p = \frac{1}{\omega \cdot \tan\left(\frac{\theta}{2}\right)}$ 2個(共振用を除く)	\geq	$L_p = \frac{1}{\omega \cdot \sin(\theta)}$ 1個(共振用を除く)
キャパシタ (C_s) (\propto FET サイズ)	$C_s = \frac{1}{\omega \cdot \sin(\theta)}$ 1個	\leq	$C_s = \frac{1}{\omega \cdot \tan\left(\frac{\theta}{2}\right)}$ 2個
位相遅れ 状態の反射	$ S_{11} = \frac{\omega C_p \tan\left(\frac{\theta}{2}\right)}{\sqrt{\left(\tan\left(\frac{\theta}{2}\right) - \omega C_p\right)^2 + \left(\omega C_p \tan\left(\frac{\theta}{2}\right)\right)^2}}$	$>$	$ S_{11} = \frac{\omega C_p \sin(\theta)}{\sqrt{(\sin(\theta) - \omega C_p)^2 + (\omega C_p \sin(\theta))^2}}$

 ω : 角周波数 C_p : FET2cのOFF容量 θ : 所望移相量

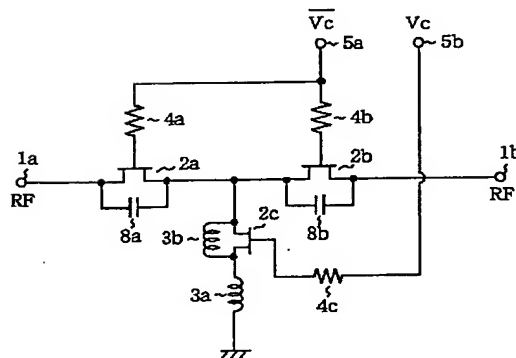
【図7】



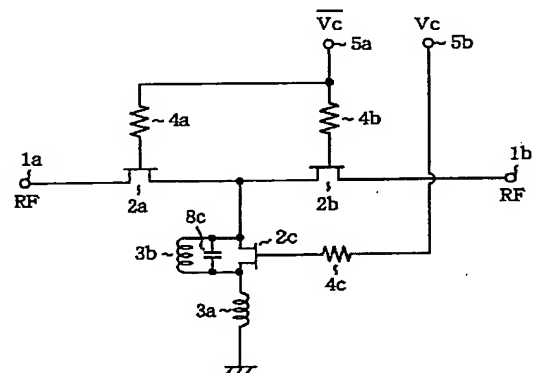
【図8】



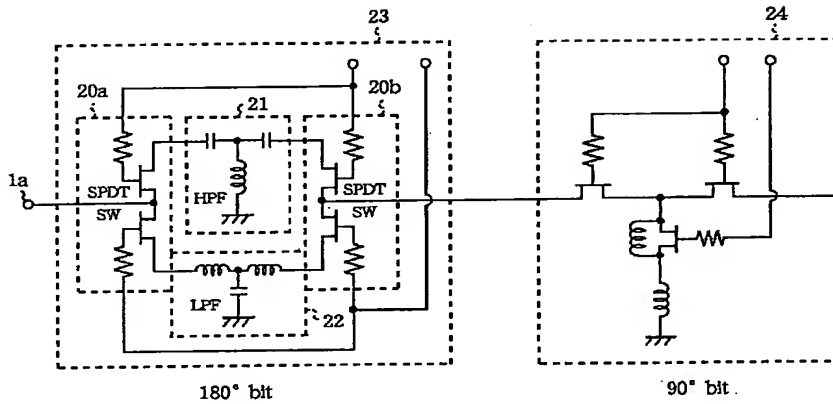
【図9】



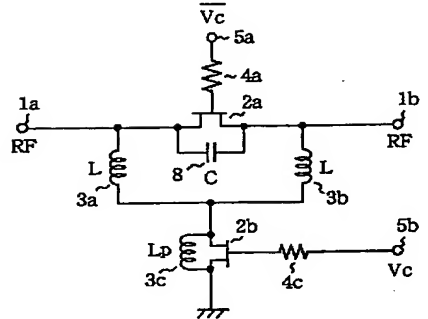
【図10】



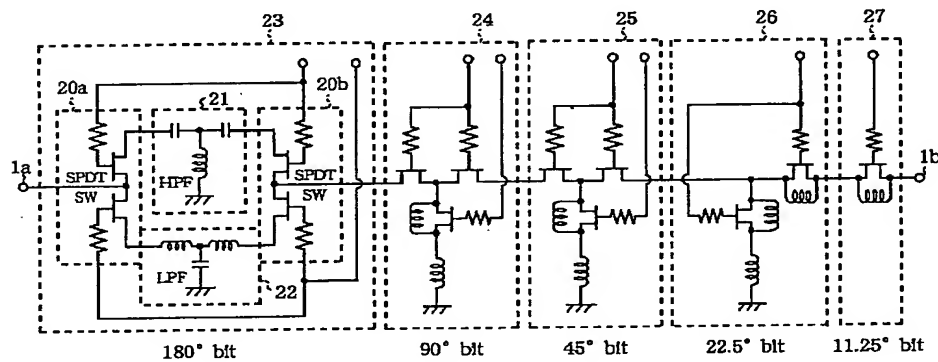
【図11】



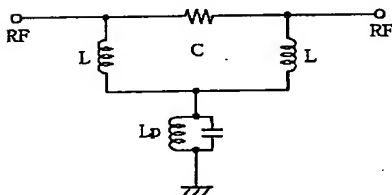
【図13】



【図12】



【図15】



フロントページの続き

(72) 発明者 笠原 通明
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 高木 直
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 池松 寛
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 竹内 紀雄
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 中畔 弘晶
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 稲見 和喜
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5J012 GA04
5J098 AA03 AA14 AA16 AB20 AD25
DA03